

513, 121  
DIALOG(R) File 345: Inpadoc/Fam. & Legal Stat  
(c) 2000 EPO. All rts. reserv.

12752103

Basic Patent (No, Kind, Date): JP 4028139 A2 920130 <No. of Patents: 004>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 4028139	A2	920130	JP 90131346	A	900523	(BASIC)
JP 2854385	B2	990203	JP 90131346	A	900523	
US 5470265	A	951128	US 10302	A	930128	
US 5578897	A	961126	US 404958	A	950316	

Priority Data (No, Kind, Date):

JP 90131346 A 900523  
US 10302 A 930128  
US 404958 A 950316  
US 10302 A3 930128

PATENT FAMILY:

JAPAN (JP)

Patent (No, Kind, Date): JP 4028139 A2 920130

MANUFACTURE OF MULTI-ELECTRON SOURCE (English)

Patent Assignee: CANON KK

Author (Inventor): NOMURA ICHIRO; KANEKO TETSUYA; SAKANO YOSHIKAZU;  
TAKEDA TOSHIHIKO; IWAI HISAMI

Priority (No, Kind, Date): JP 90131346 A 900523

Applic (No, Kind, Date): JP 90131346 A 900523

IPC: \* H01J-009/02; H01J-037/06

CA Abstract No: ; 116(26)267249G

Derwent WPI Acc No: ; G 92-084989

JAPIO Reference No: ; 160196E000039

Language of Document: Japanese

Patent (No, Kind, Date): JP 2854385 B2 990203

Patent Assignee: CANON KK

Author (Inventor): NOMURA ICHIRO; KANEKO TETSUYA; SAKANO YOSHIKAZU;  
TAKEDA TOSHIHIKO; IWAI HISAMI

Priority (No, Kind, Date): JP 90131346 A 900523

Applic (No, Kind, Date): JP 90131346 A 900523

IPC: \* H01J-009/02

Language of Document: Japanese

UNITED STATES OF AMERICA (US)

Patent (No, Kind, Date): US 5470265 A 951128

MULTI-ELECTRON SOURCE, IMAGE-FORMING DEVICE USING MULTI-ELECTRON  
SOURCE, AND METHODS FOR PREPARING THEM (English)

Patent Assignee: CANON KK (JP)

Author (Inventor): NOMURA ICHIRO (JP); BANNO YOSHIKAZU (JP); KANEKO  
TETSUYA (JP); TAKEDA TOSHIHIKO (JP); IWAI KUMI (JP)

Priority (No, Kind, Date): US 10302 A 930128

Applic (No, Kind, Date): US 10302 A 930128

National Class: \* 445024000; 445051000; 427540000

IPC: \* H01J-009/02; H01J-001/30

CA Abstract No: \* 124(06)074213X; 124(06)074213X

Derwent WPI Acc No: \* G 96-019712; G 96-019712

Language of Document: English

Patent (No, Kind, Date): US 5578897 A 961126

MULTI-ELECTRON SOURCE, IMAGE-FORMING DEVICE USING MULTI-ELECTRON  
SOURCE, AND METHODS FOR PREPARING THEM Multi-electron source,  
image-forming device using multi-electron source, and methods for  
preparing them. (English)

Patent Assignee: CANON KK (JP)

Author (Inventor): NOMURA ICHIRO (JP); BANNO YOSHIKAZU (JP); KANEKO  
TETSUYA (JP); TAKEDA TOSHIHIKO (JP); IWAI KUMI (JP)

Priority (No, Kind, Date): US 404958 A 950316; JP 90131346 A  
900523; US 10302 A3 930128

Applic (No, Kind, Date): US 404958 A 950316

Addnl Info: 5470265 Patented

National Class: \* 313310000  
IPC: \* H01J-001/00  
CA Abstract No: \* 116(26)267249G; 124(06)074213X  
Derwent WPI Acc No: \* G 92-084989; G 96-019712  
JAPIO Reference No: \* 160196E000039  
Language of Document: English

UNITED STATES OF AMERICA (US)

Legal Status (No,Type,Date,Code,Text):

US 5470265	P	930128	US AE	APPLICATION DATA (PATENT)
			(APPL. DATA (PATENT))	
			US 10302 A	930128
US 5470265	P	930414	US AS02	ASSIGNMENT OF ASSIGNOR'S
			INTEREST	
			CANON KABUSHIKI KAISHA 30-2, 3-CHOME,	
			SHIMOMARUKO, OHTA-KU TOKYO, JAPAN ; NOMURA,	
			ICHIRO : 19930407; BANNO, YOSHIKAZU :	
			19930407; KANEKO, TETSUYA : 19930407; TAKEDA,	
			TOSHIHIKO : 19930407; IWAI, : 19930407	
US 5470265	P	951128	US A	PATENT
US 5470265	P	960604	US CC	CERTIFICATE OF CORRECTION
US 5578897	P	900523	US AA	PRIORITY (PATENT)
			JP 90131346 A	900523
US 5578897	P	930128	US AA	PRIORITY
			US 10302 A3	930128
US 5578897	P	950316	US AE	APPLICATION DATA (PATENT)
			(APPL. DATA (PATENT))	
			US 404958 A	950316
US 5578897	P	961126	US A	PATENT
US 5578897	P	971104	US CC	CERTIFICATE OF CORRECTION

\*File 347: Display front page images using format 19. See HELP NEWS 347  
for more information

Set	Items	Description
---	-----	-----
?s pn=28454385		
S1	0	PN=28454385

\*File 351: Display format changes coming soon. Try them out  
now in ONTAP File 280. See HELP NEWS 280 for details.

	Set	Items	Description
	---	-----	-----
?s	pn=jp	2854385	
	S1	0	PN=JP 2854385

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2854385号

(45) 発行日 平成11年(1999) 2月 3 日

(24) 登録日 平成10年(1998) 11月 20 日

(51) Int. Cl.

H01J 9/02

識別記号

F I

H01J 9/02

E

請求項の数11 (全7頁)

(21) 出願番号 特願平2-131346

(22) 出願日 平成2年(1990) 5月23日

(65) 公開番号 特開平4-28139

(43) 公開日 平成4年(1992) 1月30日

審査請求日 平成9年(1997) 3月10日

(73) 特許権者 999999999

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 野村 一郎

東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内

(72) 発明者 金子 哲也

東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内

(72) 発明者 坂野 嘉和

東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内

(74) 代理人 弁理士 豊田 善雄 (外1名)

審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 電子放出素子、マルチ電子源、画像形成装置の製造方法

1

(57) 【特許請求の範囲】

【請求項1】 基板上に設けられた一対の電極間に、電子放出部を有する導電性膜を有する電子放出素子の製造方法において、該電子放出部を形成する際に、該電極間にパルス電圧を印加することを特徴とする電子放出素子の製造方法。

【請求項2】 前記パルス電圧が4V～10Vの範囲内であることを特徴とする請求項1に記載の電子放出素子の製造方法。

【請求項3】 前記パルス電圧の印加の際に、或る一定のパルス電圧を印加した後、これよりも高いパルス電圧を印加することを特徴とする請求項1に記載の電子放出素子の製造方法。

【請求項4】 前記パルス電圧の印加の際に、4V～10Vの範囲内のパルス電圧を印加した後、10Vを超えるパルス

2

電圧を印加することを特徴とする請求項1に記載の電子放出素子の製造方法。

【請求項5】 前記パルス電圧の波形が、三角波又は矩形波であることを特徴とする請求項1～4のいずれかに記載の電子放出素子の製造方法。

【請求項6】 前記パルス電圧のパルス幅が1μ秒～1秒の範囲内であり、パルス間隔が100μ秒～10秒の範囲内であることを特徴とする請求項1～5のいずれかに記載の電子放出素子の製造方法。

【請求項7】 前記導電性膜が微粒子膜であることを特徴とする請求項1～6のいずれかに記載の電子放出素子の製造方法。

【請求項8】 前記電子放出素子は表面伝導形電子放出素子であることを特徴とする請求項1～7のいずれかに記載の電子放出素子の製造方法。

【請求項 9】基板上に複数の電子放出素子を配置したマルチ電子源の製造方法において、該電子放出素子を請求項 1～8 のいずれかに記載の方法にて製造することを特徴とするマルチ電子源の製造方法。

【請求項 10】請求項 9 に記載のマルチ電子源の製造方法において、複数の電子放出素子を電気的に接続した配線電極を介して前記パルス電圧を印加することを特徴とするマルチ電子源の製造方法。

【請求項 11】基板上に複数の電子放出素子を配置したマルチ電子源と、該マルチ電子源から放出された電子の照射により発光する蛍光体を備えるフェースプレートとを有する画像形成装置の製造方法において、該マルチ電子源を請求項 9 又は 10 に記載の方法にて製造することを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、電子放出素子、該素子を複数有するマルチ電子源及び、該マルチ電子源を用いた画像形成装置の製造方法に関する。

【従来の技術】

従来、簡単な構造で電子の放出が得られる素子として、例えば、エム アイ エリンソン (M. I. Elinson) 等によって発表された冷陰極素子が知られている。(ラジオ エンジニアリング エレクトロン、フィジックス (Radio Eng. Electron. Phys.) 第 10 巻, 1290～1296 頁, 1965 年)。

これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するもので、一般には表面伝導形電子放出素子と呼ばれている。

この表面伝導形電子放出素子としては、前記エリンソン等により開発された  $\text{SnO}_2$  (Sh) 薄膜を用いたもの、Au 薄膜によるもの [ジー・ディトマー “スイン ソリッド フィルムス” (G. Dittmer: “Thin Solid Films”), 9 巻, 317 頁, (1972 年)]、ITO 薄膜によるもの [エム ハートウェル アンド シー ジー フォンスタッド: “アイ イー イー イー トランス” イー ディー コンファレンス (M. Hartwell and C. G. Fonstad: “IEEE Trans. E D Conf.”) 519 頁, (1975 年)]、カーボン薄膜によるもの [荒木久他: “真空”, 第 26 巻, 第 1 号, 22 頁, (1983 年)] などが報告されている。

これらの表面伝導形電子放出素子の典型的な素子構成を第 1 図に示す。同図において、1 および 2 は電気的接続を得るための電極、3 は電子放出材料で形成される薄膜、4 は基板、5 は電子放出部を示す。

従来、これらの表面伝導形電子放出素子においては、電子放出を行う前に予めフォーミングと呼ばれる通電処理によって電子放出部を形成する。即ち、前記電極 1 と電極 2 の間に電圧を印加することにより、薄膜 3 に通電し、これにより発生するジュール熱で薄膜 3 を局所的に

破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部 5 を形成することにより電子放出部機能を得ている。

なお、電気的に高抵抗状態とは、薄膜 3 の一部に  $0.5 \mu\text{m} \sim 5 \mu\text{m}$  の亀裂を有し、かつ亀裂内がいわゆる島構造を有する不連続状態膜をいう。島構造とは一般に数十 Å から数  $\mu\text{m}$  径の微粒子が基板 4 にあり、各微粒子は空間的に不連続で電気的に連続な膜をいう。

従来、表面伝導形電子放出素子は上述高抵抗不連続膜に電極 1, 2 により電圧を印加し、素子表面に電流を流すことにより、上述微粒子より電子放出せしめるものである。

しかしながら、上記の様な従来の通電によるフォーミング処理によって製造された電子放出素子には、次のような問題点があった。

- 1) 電子放出部となる島構造の設計が不可能なため、素子の改良が難しく、素子間のバラツキも生じやすい。
- 2) フォーミング工程の際に生じるジュール熱が大きいため、基板が破壊しやすくマルチ化が難しい。
- 3) 島の材料が金、銀、 $\text{SnO}_2$ 、ITO 等に限定され仕事関数の小さい材料が使えないため、大電流を得ることができない。

以上のような点から、表面伝導形電子放出素子は、素子構造が簡単であるという利点があるにもかかわらず、産業上積極的に応用されるには至っていなかった。

本発明者等は上記問題点を鑑みて検討した結果、特願昭 63-107570 号、特願昭 63-110480 号に於いて電極間に微粒子膜を配置しこれに通電処理を施すことにより電子放出部を設ける新規な表面伝導形電子放出部を提案した。この新規な電子放出素子の構成図を第 2 図に示す。

同図において、11 及び 12 は電極、13 は微粒子膜、14 は電子放出部、15 は基板である。

この電子放出素子の特徴としては次のようなことが挙げられる。

- 1) 微粒子膜 13 に非常に少ない電流を流すことで電子放出部 14 を形成できるので素子劣化のない素子が作製でき、さらに電極の形状を任意に設計できる。
- 2) 微粒子膜を形成する微粒子自身が電子放出の構成材となるため、微粒子の材料や形状等の設計が可能となり電子放出特性を変えることができる。
- 3) 素子の構成材である基板 15 や電極の材料の選択性が広がる。

以上述べたような電子放出素子の実用形態としては、ディスプレイ、蛍光ランプ、イオン生成器など様々な電子ビーム応用装置があるが、近年、かかる素子をマルチ配列とした面状電子源を用いた装置、例えば特開昭 61-221783 号公報で示されるようなフラット CRT の研究開発が活発に行われるようになった。

【発明が解決しようとする課題】

さて、かかる表面伝導形電子放出素子を用いてマルチ

配列とした面状電子源を作製する為には、一般に第3図に示すような素子配置とすることがある。

図中、21は基板、24は素子電極22と電子放出部23から成る電子放出素子、25は配線電極、26はフォーミング用電源、27は配線電極25と電極26を電気的に接続する結線である。この図において、電子放出部23は第1図における電子放出部5あるいは第2図における電子放出部14及び微粒子膜13に対応するものである。

このような表面伝導形電子放出素子を用いた面状電子源を作製する為には、第3図に示すように配線電極26の間に複数の電子放出素子24を配置し同時にフォーミング

する必要がある。  
しかしながら、従来の素子の場合に用いられるフォーミング方法、すなわちDC電圧を用いて非常にゆっくり（例えば昇圧レート1Volt/分）と電圧を印加していくフォーミング処理を行うと次のような欠点があった。

(1) 第2図で示される微粒子膜のフォーミングにおいては、フォーミング時の温度上昇により、特性劣化や個々の素子の特性が不均一になる。

(2) 第1図で示される導電性薄膜のフォーミングにおいては、フォーミング時に発生する熱が大量である為、上記(1)の問題以外にも基板や素子電極の破壊が生じる。

(3) 又、面状電子源の電子ビームを均一に、かつ大量に放出させる為には、電子放出素子24のピッチを高密度に配置する必要があり、上記(1)、(2)の欠点は顕著となる。

すなわち、本発明の目的とするところは、上述の問題点を解消した電子放出素子、マルチ電子源、さらには電子ビーム応用装置である画像形成装置の製造方法を提供

することにある。

【課題を解決するための手段及び作用】  
上記の目的を達成すべく成された本発明の構成は、以下の通りである。

すなわち、本発明第1は、基板上に設けられた一対の電極間に、電子放出部を有する導電性膜を有する電子放出素子の製造方法において、該電子放出部を形成する際に、該電極間にパルス電圧を印加することを特徴とする電子放出素子の製造方法にある。

上記本発明第1の電子放出素子の製造方法は、さらにその特徴として、

「前記パルス電圧が4V～10Vの範囲内である」こと、

「前記パルス電圧の印加の際に、或る一定のパルス電圧を印加した後、これよりも高いパルス電圧を印加すること、

「前記パルス電圧の印加の際に、4V～10Vの範囲内のパルス電圧を印加した後、10Vを超えるパルス電圧を印加する」こと、

「前記パルス電圧の波形が、三角波又は矩形波である」こと、

「前記パルス電圧のパルス幅が1μ秒～1秒の範囲内であり、パルス間隔が100μ秒～10秒の範囲内である」こと、

「前記導電性膜が微粒子膜である」こと、

「前記電子放出素子は表面伝導形電子放出素子である」こと、をを含むものである。

また、本発明第2は、基板上に複数の電子放出素子を配置したマルチ電子源の製造方法において、該電子放出素子を上記本発明第1の方法にて製造することを特徴とするマルチ電子源の製造方法にある。

上記本発明第2のマルチ電子源の製造方法は、さらにその特徴として、

「複数の電子放出素子を電気的に接続した配線電極を介して前記パルス電圧を印加すること」こと、をを含むものである。

さらに、本発明第3は、基板上に複数の電子放出素子を配置したマルチ電子源と、該マルチ電子源から放出された電子の照射により発光する蛍光体を備えるフェースプレートとを有する画像形成装置の製造方法において、該マルチ電子源を上記本発明第2の方法にて製造することを特徴とする画像形成装置の製造装置にある。

すなわち、本発明によれば、フォーミング時に印加する電圧をパルス波形とすることにより、フォーミング時に発生する熱量を低下せしめ、前記欠点を改良するものである。さらに、本発明者等はフォーミング時に印加するパルス電圧に適正な値があることを見出し、前記欠点を解決するものである。

以下、本発明の製造方法に係る構成要件及び作用について詳細に説明する。

第4図は、第3図のA-A'の断面における本発明のマルチ電子源の製造方法を示すものである。

①. 先ず第4図に示すように、ガラス基板21を十分洗浄し、通常良く用いられる蒸着技術とホトリソグラフィ技術により電子電極22を形成する。ここで、基板材としては、ガラス以外にもアルミナセラミクス等の絶縁体であれば良い。また、素子電極22としては、Ni、ステンレス等に金属材料の他ITO等の酸化物導電体等導電性の材料であれば好適であり、実用的にはNi、ステンレス、ニクロム等の高融点金属材料であることが望ましい。さらに、対となる素子電極22の間隔Gは、0.1μm～10μmが好適であるがこれに限るものではない。また、素子電極22の厚さは0.05μm～1.0μmが好適であるがこれに限るものではない。

②. 次に、蒸着技術とエッチング技術により配線電極25を形成した。かかる配線電極25は、電気抵抗が十分低くなるように形成すれば、どのような材料でも構わない。

③. 次に、素子電極間に微粒子膜23を形成する。かかる微粒子の粒径は、30Å～1μmが好適で実用的には100Å程度が良好である。また、微粒子の材質は、Pd, Ag, Au等の金属材料やSnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>等の酸化物材料が好適である

が、導電性微粒子であればこれに限定されるものではない。微粒子膜の形成方法としては例えば、アガスデポジション法、イ有機金属を分散塗布しその後熱処理する方法等がある。微粒子膜の厚さは、微粒子の材質や大きさによって異なるが、微粒子の径が100Å程度であれば100Å~500Åが好適である。また、微粒子膜のシート抵抗は、 $5 \times 10^4 \sim 1 \times 10^7 \Omega/\square$ が好適であり、この抵抗値になるように微粒子膜の厚さを制御することが望ましい。

以上電子放出素子1素子に着目して説明したが、これを第3図に示すようにマルチ配列とする場合、電子放出素子24のピッチは、応用形態により異なるものの面状で均一な電子源を得る為に $P_1, P_2$ 共に数mm以内に配置されることが望ましく、フラットCRTへの応用では $P_1, P_2$ 共に1mm以内に配置される必要がある。また、電子放出素子24の長さ $l$ は、0.1mm~1.0mm程度が好適であり、かかる素子の配列数については、例えばフラットCRTへの応用においては数十個~約1000個になる。

以上のようにして構成されたマルチ電子源における電子放出部23のフォーミングを行うため、本発明の特徴とする通電処理を施すわけであるが、以下にそのフォーミング方法について説明する。

第3図に示すように結線されたフォーミング用電源26により、パルス電圧を発生させる。パルス波形は第5図、第6図で示すような三角波、矩形波が望ましいがこれに限るものではない。図中、 $T_1$ はパルス幅、 $T_2$ はパルス間隔である。かかるパルス幅 $T_1$ は1μsec~1sec、パルス間隔は100μsec~10secが適当であるがこれに限るものではない。発明者等が鋭意研究した結果、通電処理には適正な電圧があり、かつ、温度が高くなると素子特性が劣化することが発明した。つまり、単に微粒子膜に電流を流すことにより微粒子膜の温度が上昇し変質した結果として電子放出部が形成されるのではなく、電圧を印加することで微粒子がマイグレーションして適正な電子放出部が形成されているものと思われる。その為、素子の数が多く密度が高くなる程、通電処理時の微粒子膜の温度が高くなり欠陥が生じ易い。パルス電圧は20V以下が好適で、さらには4V~10Vが最適である。ここで、フォーミングにより発生する熱を極力低下させる為には、パルス幅とパルス間隔を適当な値に設定することに

より可能となる。例えば、パルス幅 $T_1$ が100μsec、パルス間隔 $T_2$ が10msecであれば、消費電力を100分の1に低下させることができる。ここでフォーミングにかかる時間は、DC電圧を印加するときと比較し、ほぼ $T_2/T_1$ 倍になるものと思われる。また、フォーミングにかかる時間は、微粒子膜の材質、膜質、あるいは電気抵抗によって大きく異なる。例えば、金、銀、パラジウムの微粒子膜では、 $T_1=100\mu\text{sec}$ 、 $T_2=10\text{msec}$ のとき、約0.05~10秒程度でフォーミングが終了するが、 $\text{SnO}_2$ の微粒子膜では5分~1000分程度必要となる。また、パルス幅とパルス間隔を適当な値にすれば、フォーミング中温度分布が生じずに極めて均一なフォーミングが可能となる。

以上第2図に示すような微粒子膜を用いたフォーミングについて説明してきたが、第1図に示すような薄膜を用いたフォーミングについても同様である。

すなわち、薄膜を用いた素子のマルチ電子源を従来の方法でフォーミングしたのでは、発生熱量が大量となり、フォーミングは極めて難しい。特に、素子ピッチ $P_1$ が小さいマルチ電子源では不可能であった。ところが、本発明で開示するようにパルス幅 $T_1$ /パルス間隔 $T_2$ を小さい値にすることにより、発生熱量を低下せしめ適正なフォーミングを行うことが可能となった。

#### 「実施例」

以下、実施例を用いて本発明を具体的に詳述する。

#### 実施例1

本実施例では、前述した微粒子膜を用いた素子(第2図)を、第3図に示すように複数配置したマルチ電子源とした。電子放出部の長さ $l$ を300μm、電極間隔 $G$ を2μm、素子ピッチ $P_1$ を500μmにして作製した。微粒子膜は有機パラジウム(奥野製薬製ccp-1230)を分散塗布した後300℃で焼成することにより作製した。かかる微粒子膜は、パラジウムと酸化パラジウムの混合微粒子膜であり、その粒径は約100Åであった。素子数は、1ライン当たり10個の配列とした。

本素子において次の様なフォーミングを行い電子放出特性を測定した。尚、フォーミング時のパルス波形としては三角波を用いた。

フォーミング時の諸条件について、以下に示す①、②の条件とした。

- |          |   |   |
|----------|---|---|
| ①：本発明の一例 | { | パルス幅 $T_1 = 100\mu\text{sec}$ 、パルス間隔<br>$T_2 = 10\text{msec}$<br>フォーミング電圧 = 7V、フォーミング時間 = 60 秒<br>フォーミング電圧 = 約 5 V (DC 電圧)<br>昇圧レート = 1 V / 分 |
| ②：従来例    | { |   |

上記②に示す従来のフォーミングでは、1ライン100素子中数素子から電子放出が得られた。一方、本発明に

係る①のフォーミングでは、100素子全てほぼ均一な電子放出が得られた。1ライン当たりの電子放出量は、駆



動電圧（配線電極間に印加し電子放出せしめる電圧）15Vのとき、②に示す従来条件では $2\mu\text{A}$ であったが、本発明に係る①の条件では $300\mu\text{A}$ であった。尚、評価方法については、面状電子源上5mmの位置に蛍光体付のフェースプレートを配置することにより（不図示）、蛍点評価で均一性を、また、蛍光体に流れる電流で電子ビームの放出電流を測定することにより行った。

また、本実施例において、前述の①の条件を用いパルス波形として第6図に示す矩形波で行ったが、同様な効果が得られた。尚、本実施例において、フォーミング電圧の適用範囲としては、4V~10Vの範囲でほぼ均一な電子放出量が得られた。かかるフォーミング電圧が10Vを超えると、電圧が高くなるに従い部分的に電子放出量が低下し、不均一性が増加した。20V以上では電子放出量が著しく低下した。一方、4Vよりも低いフォーミング電圧では、フォーミングが不十分で電子放出量は低下した。

また、本素子の適正な駆動電圧の範囲は10V~18Vであるが、この電圧で本実施例のフォーミングを行うと、1ライン~100素子全てから電子放出が得られるものの、

#### ①. 本発明の一例

パルス幅  $T_1 = 100\mu\text{sec}$ , パルス間隔  $T_2 = 10\text{msec}$   
 フォーミング電圧 = 7.5V, フォーミング時間 = 60秒

#### ②. 従来例

フォーミング電圧 = 約 7V (DC電圧)  
 昇圧レート = 1V/分

上記②の条件で処理した素子では、1ライン100素子中5素子から電子放出が得られた。一方、本発明に係る①の条件によるフォーミングでは、100素子全てでほぼ均一な電子放出が得られた。

次に、パルス波形を矩形波で行ったところ、100素子中92個から電子放出が得られ、三角波の場合に比べ若干劣るものの均一性は従来例に比べ優れていた。パルス波形によってフォーミングの良否が変わる理由は不明であるが、微粒子膜の変質時に素子に流れる電流にノイズが発生することが原因と思われる。

また、パルスフォーミングの電圧、パルス幅について実施例1と同様な検討を行ったところ、ほぼ同等な効果が得られた。

また、上記②の条件で処理した素子の特性劣化の原因を調べたところ、フォーミング時の発熱により、基板や電極の破損が一原因となっていることが分かった。

#### 実施例3

第7図は、本発明の第3の実施例を示す図である。本実施例は、実施例1における素子ピッチ $P_1$ をゼロとしたライン状電子源である。素子の長さ $l$ を30mm、その他の構成は実施例1とほぼ同等にして作製した。本実施例において、パルス幅 $T_1 = 50\mu\text{sec}$ の一定値として、パルス

部分的に電子放出が低下し、面状電子源としては不均一であった。つまり、フォーミング電圧としては、4V~10Vに適正電圧があるということになる。

次に、本実施例において、第1段階でフォーミング電圧4V~10Vを数秒印加し、第2段階で駆動電圧10V~18Vを数秒印加すると、均一で電子放出量の劣化のない電子源が10秒以内で作製できた。つまり、4V~10Vの電圧を印加した後、さらに10V以上のパルス電圧を印加することにより、フォーミング時間を短縮することができる。

#### 実施例2

本実施例においては、前述した薄膜を用いた素子（第1図）を、第3図に示すように複数配置したマルチ電子源とした。電子放出部の長さ $l$ を $300\mu\text{m}$ 、電極間隔 $G$ を $150\mu\text{m}$ 、素子ピッチ $P_1$ を $2.0\text{mm}$ にして作製した。薄膜には金を用い、厚さ約1000Åに形成した。尚、素子数は、1ライン当たり100個の配列とした。

本素子において次の様なフォーミングを行い電子放出特性を測定した。尚、フォーミング時のパルス波形としては三角波を用いた。フォーミング時の諸条件は以下に示す通りである。

間隔 $T_2$ を変化させたと、第1表のような結果を得た。

第 1 表

$T_2$	100 $\mu\text{sec}$ ~ 1msec	1msec ~ 2.5msec	2.5msec以上
均一性	×	△	○
電子放出量	50 $\mu\text{A}$ 以下	50~300 $\mu\text{A}$ 以下	300 $\mu\text{A}$ 以上
フォーミング時の消費電力	大	中	小

この結果からわかるように、パルス間隔 $T_2$ を長くすることによりフォーミング時の消費電力を低下させ、電子源の温度上昇を防止するようにフォーミングしたところ、電子放出特性の良好な均一な電子源を得ることができた。

一方、本実施例において、パルス幅 $T_1$ を変化させたと、パルス幅 $T_1$ が10秒以下で良好な電子放出特性が得られた。

#### [発明の効果]

以上説明した様に、通電処理により電子放出部を形成

11

- する際、印加する電圧をパルス電圧とすることにより、
- ①. 基板や素子電極の破損を防止し、優れた電子放出特性を有する電子放出素子を作製できる。
  - ②. 特性の揃った複数の電子放出素子を有するマルチ電子源を作製できる。
  - ③. 高精細な（ファインピッチ）マルチ電子源を作製できる。
  - ④. 特性劣化の少ないマルチ電子源を作製できる。
  - ⑤. 高精細で画像劣化のない画像形成装置を作製できる。

といったような効果がある。

#### 【図面の簡単な説明】

第1図、第2図は、従来の表面伝導形電子放出素子を示すところの構成図である。

第3図は、本発明の第1、第2の実施例を示すところのマ

12

ルチ電子源の構成図である。

第4図は、本発明の第1の実施例のマルチ電子源の製作法を説明する為の図である。

第5図、第6図は、本発明のパルス電圧の波形を示す図である。

第7図は、本発明の第3の実施例を示すところのマルチ電子源の構成図である。

1, 2, 11, 12……電極、5, 4, 23……電子放出部

3……薄膜、4, 15, 21……基板

10 13……微粒粒子膜、22……素子電極

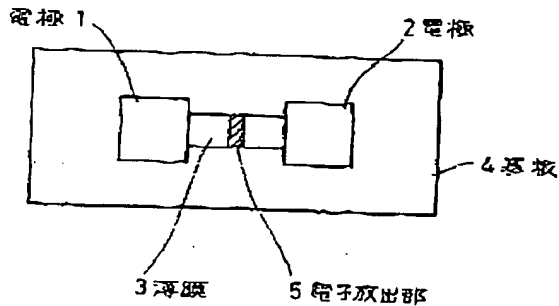
24……電子放出素子、25……配線電極

26……フォーミング用電源、27……結線

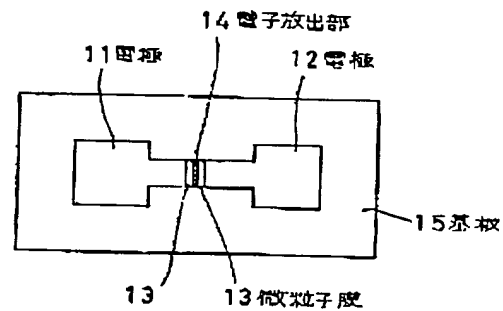
$P_1, P_2$ ……素子ピッチ、 $G$ ……電極間隔

$l$ ……電子放出部の長さ

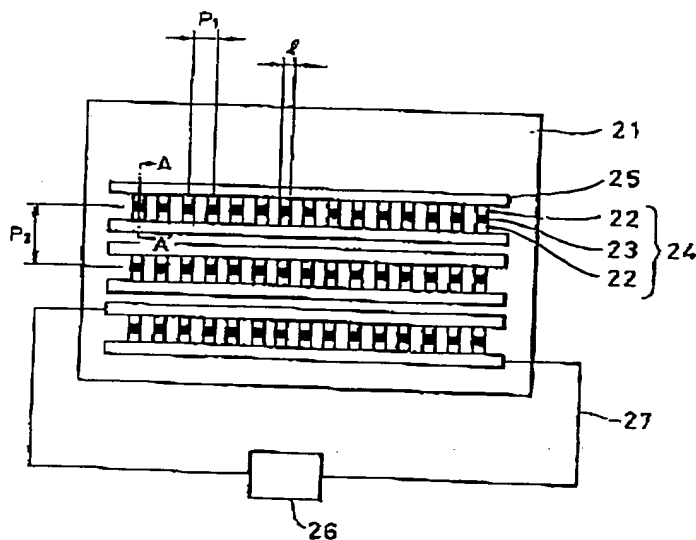
【第1図】



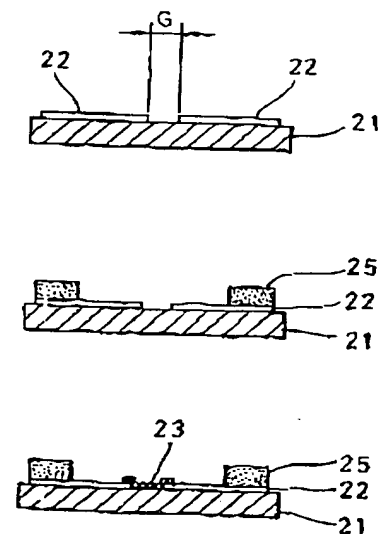
【第2図】



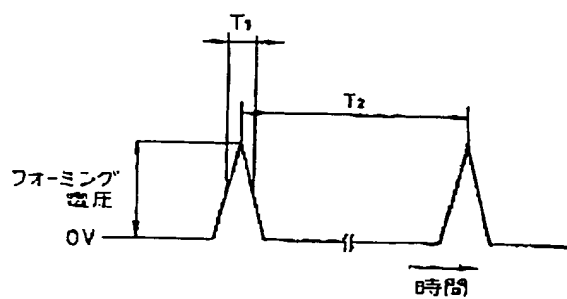
【第3図】



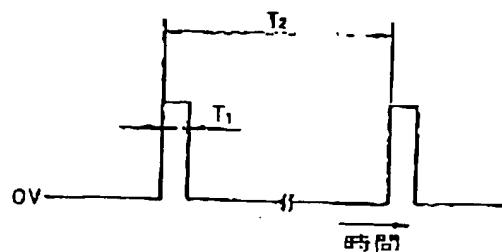
【第4図】



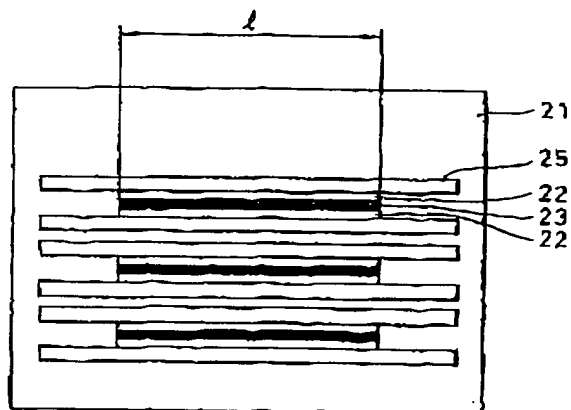
【第 5 図】



【第 6 図】



【第 7 図】



フロントページの続き

(72) 発明者 武田 俊彦  
東京都大田区下丸子 3 丁目 30 番 2 号 キ  
ヤノン株式会社内

(72) 発明者 岩井 久美  
東京都大田区下丸子 3 丁目 30 番 2 号 キ  
ヤノン株式会社内

(56) 参考文献 特開 平 1 - 112632 ( J P , A )

(58) 調査した分野 ( Int. Cl. <sup>6</sup> , DB 名 )

H01J 9/02

H01J 1/30

J I C S T ファイル ( J O I S )